

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HEA-SUK JUNG

Application No.:

Filed:

For: **CLOCK DIVIDER OF DELAY
LOCKED LOOP**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	10-2003-0051428	25 July 2003

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: December 12, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0051428
Application Number

출 원 년 월 일 : 2003년 07월 25일
Date of Application JUL 25, 2003

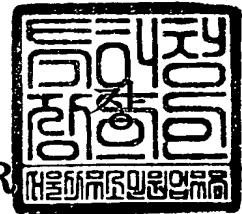
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0004		
【제출일자】	2003.07.25		
【발명의 명칭】	지연고정루프의 클럭분주기		
【발명의 영문명칭】	CLOCK DIVIDER OF DLEAY LOCKED LOOP		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	정혜숙		
【성명의 영문표기】	JUNG, Hea Suk		
【주민등록번호】	731212-2001210		
【우편번호】	110-480		
【주소】	서울특별시 종로구 효제동 138번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	8	항	365,000 원
【합계】	395,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 공정, 온도 및 공급전원의 변동에 따른 tAC을 다양한 주기에 따라 측정하고, 최적의 tAC를 갖는 분주클럭을 제공할 수 있는 자연고정루프의 클럭분주기를 제공하기 위한 것으로, 이를 위한 본 발명으로 자연고정루프의 소오스클럭을 입력 받아 각각 다른 주기를 갖는 다수의 분주클럭을 생성하기 위한 클럭분주 수단; 테스트모드신호 및 테스트모드 주기선택 기준신호에 응답하여 테스트모드에서 상기 다수의 분주클럭을 선택적으로 출력하기 위한 테스트 모드 클럭제공수단; 및 상기 테스트모드신호에 응답하여 노말모드에서 상기 다수의 분주클럭 중 선택된 하나의 클럭을 출력하기 위한 노말모드 클럭제공수단을 구비하는 자연고정루프의 클럭분주기를 제공한다.

【대표도】

도 4

【색인어】

자연고정루프, 클럭분주기, 테스트모드, 주기선택, 디코딩

【명세서】

【발명의 명칭】

지연고정루프의 클럭분주기{CLOCK DIVIDER OF DELAY LOCKED LOOP}

【도면의 간단한 설명】

도 1은 종래기술에 따른 지연고정루프 회로도.

도 2는 종래기술에 따른 1/8 클럭분주기의 회로도.

도 3은 도2의 회로의 동작파형도.

도 4는 본 발명의 일실시예에 따른 지연고정루프의 클럭분주기의 회로도.

도 5a는 디코딩부의 회로도.

도 5b는 테스트모드 클럭선택부의 회로도.

도 6은 노말모드 클럭제공부의 회로도.

도 7은 도 4의 회로의 동작파형도.

* 도면의 주요 부분에 대한 부호의 설명

40 : 분주부

41 : 테스트모드 클럭제공부

42 : 디코딩부

43 : 테스트모드 클럭선택부

44 : 노말모드 클럭제공부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 회로 기술에 관한 것으로, 특히 지연고정루프(delay locked loop, DLL)에 관한 것이며, 더 자세히는 지연고정루프의 클럭분주기에 관한 것이다.

<16> 통상적으로, 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error) 없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다. 외부로부터 입력되는 클럭이 내부에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스케이프(clock skew))이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭과 동일한 위상을 갖도록 하기 위해 DLL이 사용되고 있다.

<17> 출력 데이터와 외부 클럭 사이의 지연시간을 tAC라고 한다. 즉, 데이터가 출력되리라고 예상된 클럭의 시점과, 실제 데이터가 출력된 시점 사이의 시간차를 의미한다.

<18> 한편, DLL은 기존에 사용되어 온 위상고정루프(PLL)에 비해 잡음(noise)의 영향을 덜 받는 장점이 있어 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 동기식 반도체 메모리에서 널리 사용되고 있으며, 그 중에서도 레지스터 제어 DLL(register controlled DLL)이 가장 일반화되어 사용되고 있다.

<19> 도 1은 종래기술에 따른 DDR SDRAM의 레지스터 제어 DLL의 블록 다이어그램이다(대한민국 공개특허공보 제10-2003-0002130호 참조).

<20> 도 1을 참조하면, 반전 외부 클럭(/clk)을 입력으로 하여 외부 클럭(clk)의 폴링 에지에 동기된 내부 클럭(fall_clk)을 생성하기 위한 제1 클럭 버퍼(11)와, 외부 클럭(clk)을 입력으로 하여 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 생성하기 위한 제2 클럭 버퍼(12)와, 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 $1/n$ (n은 양의 정수이며, 통상적으로 $n=8$)로 분주하여 지역 모니터링 클럭(dly_in) 및 기준 클럭(ref)을 출력하는 클럭 분주기(13)와, 외부 클럭(clk)의 폴링 에지에 동기된 내부 클럭(fall_clk)을 입력으로 하는 제1 지역 라인(14)과, 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 입력으로 하는 제2 지역 라인(15)과, 지역 모니터링 클럭(dly_in)을 입력으로 하는 제3 지역 라인(16)과, 제1, 제2 제3 지역라인(14, 15, 16)의 지역량을 결정하기 위한 쉬프트 레지스터(17)와, 제1 지역 라인(14)의 출력(ifclk)을 구동하여 DLL 클럭(fclk_dll)을 생성하기 위한 제1 DLL 드라이버(20)와, 제2 지역 라인(15)의 출력(irclk)을 구동하여 DLL 클럭(rclk_dll)을 생성하기 위한 제2 DLL 드라이버(21)와, 제3 지역 라인(16)의 출력을 입력으로 하여 클럭이 실제 클럭 경로와 동일한 지역 조건을 거치도록 구성된 지역 모델(22)과, 지역 모델(22)의 출력(fbclk)과 기준 클럭(ref)의 위상을 비교하기 위한 위상 비교기(19)와, 위상 비교기(19)로부터 출력된 제어신호(ctrl)에 응답하여 쉬프트 레지스터(17)의 쉬프트 방향을 제어하기 위한 쉬프트 제어신호(SR, SL)를 출력하는 쉬프트 제어기(18)를 구비한다.

<21> 우선, 제1 클럭 버퍼(11)는 외부 클럭(clk)의 폴링 에지를 받아 동기된 내부 클럭(fall_clk)을 발생시키고, 제2 클럭 버퍼(12)는 외부 클럭(clk)의 라이징 에지를 받아서 내부 클럭(rise_clk)을 발생시킨다. 클럭 분주기(13)는 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 $1/n$ 분주하여 외부 클럭(clk)과 n번째 클럭마다 한번씩 동기되는 클럭(ref, dly_in)을 만든다. 기준 클럭(ref) 및 지역 모니터링 클럭(dly_in)은 모두 외부 클럭

(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 분주시킨 신호이기 때문에 외부 클럭(clk)의 주기(tCK)만큼의 펄스 폭을 가진다. 그리고, 기준 클럭(ref)과 지연 모니터링 클럭(dly_in)은 서로 반대 위상을 갖는다.

<22> 초기 동작시, 지연 모니터링 클럭(dly_in)은 지연 모니터(10)의 제3 지연 라인(16)의 단위 지연소자 하나만을 통하여 출력되고, 이 클럭은 다시 지연 모델(22)를 거치면서 지연되어 피드백클럭(fbclk)으로 출력된다. 여기서, 피드백클럭(fbclk)은 제3지연라인(16)의 출력클럭과 비교하여 지연 모델(22)의 지연 시간 만큼 지연된 것이다.

<23> 한편, 위상 비교기(19)는 기준 클럭(ref)의 라이징 에지와 피드백클럭(fbclk)의 라이징 에지를 비교하여 제어신호(ctrl)를 생성하고, 쉬프트 제어기(18)는 제어신호(ctrl)에 응답하여 쉬프트 레지스터(17)의 쉬프트 방향을 제어하기 위한 쉬프트 제어신호(SR, SL)를 출력한다. 쉬프트 레지스터(17)는 쉬프트 제어신호(SR, SL)에 응답하여 제1, 제2 및 제3 지연 라인(14, 15, 16)의 지연량을 결정한다. 이때, SR(shift right)이 입력되면 레지스터를 오른쪽으로 이동시키고, SL(shift left)가 입력되면 레지스터를 왼쪽으로 이동시킨다. 이후, 지연량이 제어된 피드백클럭(fbclk)과 기준 클럭(ref)을 비교해 나가면서 두 클럭이 최소의 jitter를 가지는 순간에 지연고정(locking)이 이루어지게 되고, 이때 DLL 클럭(fclk_dll, rclk_dll)은 제1 및 제2 DLL 드라이버(20, 21)로 부터 출력되는 외부 클럭(clk)과 동일한 위상을 갖게 된다.

<24> 상기와 같은 종래의 지연고정루프에서 위상비교기(19)는 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 바로 입력클럭으로 사용하지 않고, 클럭분주기(13)에 의해 분주된 클럭을 사용한다. 이는 위상비교기(19)에서 비교하는 횟수를 줄임으로써(클럭이 분주된 만큼), 위상을 비교하는데 소모되는 전류를 줄일 수 있는 이점이 있기 때문이다. 또한, 메모리의 동작 속도가 고속화됨에 따라, 입력되는 외부클럭의 주파수가 높아졌으며, 이러한 고주파를

이용하여 딜레이를 모니터링하기 위해서는 위상비교기(19)에 더 복잡한 제어로직이 추가되어야 하기 때문에 분주된 클럭을 사용한다.

<25> 도 2는 종래기술에 따른 1/8 클럭분주기의 회로도이다.

<26> 도 2를 참조하면, 종래기술에 따른 1/8 클럭분주기는 입력클럭(clk)의 라이징에지에 동기된 내부클럭(rise_clk)을 입력으로 하여 1/2분주클럭(A)을 생성하기 위한 제1분주단(200)과, 제1분주단(200)의 출력클럭을 입력으로 하여 1/4분주클럭(B)을 생성하기 위한 제2분주단(201)과, 제2분주단(201)의 출력클럭을 입력으로 하여 1/8분주클럭(ref)을 생성하기 위한 제3분주단(202)를 구비한다.

<27> 여기서, 각 분주단(200, 201, 202)은 크로스 커플드 낸드래치를 이용한 T-플립플롭으로 구현되며, 제3분주단(202)으로 부터 출력된 1/8분주클럭을 기준클럭(ref)으로 사용하고, 이를 인버터(INV)로 반전시켜 모니터링클럭(dly_in)으로 사용하고 있다.

<28> 도 3은 도2의 회로의 동작 과정도이다.

<29> 도 3을 참조하여, 제1분주단(200)은 tCK주기를 갖는 제2클럭버퍼(12)의 출력클럭 rise_clk를 입력으로 하여, 2*tCK의 주기를 갖는 클럭신호 'A'를 만들어 낸다. 제2분주단(201)은 제1분주단(200)의 출력클럭 'A'를 입력으로 하여, 1/2분주된 클럭신호 'B'를 생성 시킨다. 클럭신호 'B'는 분주기의 입력클럭 rise_clk를 기준으로 보면, 4*tCK의 주기를 갖으며 4주기마다 한번씩 tCK만큼의 로우 레벨을 갖는다. 제3분주단(202)은 제2분주단(201)의 출력클럭 'B'를 입력으로 하여, 1/2분주된 클럭신호 'ref'를 생성 시킨다. 클럭신호 'ref'는 분주기의 입력클럭 rise_clk를 기준으로 보면, 8*tCK의 주기를 갖으며 8주기마다 한번씩 tCK만큼의 로우 레벨을 갖는다.

<30> 한편, 상기와 같이 클럭분주기에 의해 분주되는 클럭의 주기가 고정되어 있으면, 메모리의 공정, 온도 및 전압 등의 변동에 따른 tAC을 측정할 수 없었다. 또한, tAC를 최적으로 할 수 있는 기준클럭(ref) 및 모니터링 클럭(dly_in)을 제공할 수 없었다.

<31> 상기와 같은 문제점은 비단 레지스터제어 지연고정루프에서만 나타나는 것이 아니라, 분주기를 사용한 모든 지연고정루프에서 나타날 수 있다.

【발명이 이루고자 하는 기술적 과제】

<32> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 공정, 온도 및 공급전원의 변동에 따른 tAC을 다양한 주기에 따라 측정하고, 최적의 tAC를 갖는 분주클럭을 제공할 수 있는 지연고정루프의 클럭분주기를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<33> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른, 지연고정루프의 소오스 클럭을 입력 받아 각각 다른 주기를 갖는 다수의 분주클럭을 생성하기 위한 클럭분주 수단; 테스트모드신호 및 테스트모드 주기선택 기준신호에 응답하여 테스트모드에서 상기 다수의 분주클럭을 선택적으로 출력하기 위한 테스트모드 클럭제공수단; 및 상기 테스트모드신호에 응답하여 노말모드에서 상기 다수의 분주클럭 중 선택된 하나의 클럭을 출력하기 위한 노말모드 클럭제공수단을 구비하는 지연고정루프의 클럭분주기를 제공한다.

<34> 본 발명에서는 지연고정루프의 클럭분주기에 테스트모드 클럭제공부 및 노말모드 클럭제공부를 추가함으로써, 테스트모드 시 다양한 주기를 사용하여 메모리의 공정, 온도 및 전압 등

의 변동에 따른 tAC의 변화를 측정하고 비교할 수 있으며, 또한, 노말모드 시 테스트의 결과에 따른 최적의 분주클럭을 제공한다.

<35> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<36> 도 4는 본 발명의 일실시예에 따른 지연고정루프의 클럭분주기의 회로도이다.

<37> 도 4를 참조하면, 지연고정루프의 클럭분주기는 지연고정루프의 소오스 클럭(clk_in)을 입력받아 각기 다른 주기를 갖는 네개의 분주클럭(A, B, C, D)을 생성하기 위한 클럭분주부(40)와, 테스트모드신호(tm_en) 및 어드레스신호(A0, A1)에 응답하여, 테스트모드에서 네개의 분주클럭(A, B, C, D) 중 선택된 하나의 분주클럭을 제공하기 위한 테스트모드 클럭제공부(41)와, 테스트모드신호(tm_en)에 응답하여, 노말모드에서 네개의 분주클럭(A, B, C, D) 중 선택된 하나의 분주클럭을 제공하기 위한 노말모드 클럭제공부(44)를 구비한다.

<38> 또한, 테스트모드 클럭제공부(41)는 테스트모드신호에(tm_en) 응답하여 어드레스신호(A0, A1)를 디코딩하여 주기선택신호(SEL)를 출력하기 위한 디코딩부(42)와, 주기선택신호(SEL)에 응답하여 분주클럭(A, B, C, D) 중 선택된 하나의 클럭을 출력하기 위한 테스트모드 클럭선택부(43)를 구비한다.

<39> 한편, 클럭 분주부(40)는 각기 주기가 다른 네개의 분주클럭(A, B, C, D)을 생성하며, 이를 구현하기 위해 종래기술과 동일한 분주단(401, 402, 403)에 1/16분주를 위한 분주단(404)을 하나 더 추가한다.

<40> 참고적으로, 어드레스신호(A0, A1)는 테스트모드 시 분주클럭을 선택하기 위한 제어신호로써 어드레스핀을 통해 입력된다.

<41> 도 5a는 디코딩부(42)의 회로도이다.

<42> 도 5a를 참조하면, 디코딩부(42)는 테스트모드 신호(tm_en)를 일 입력으로 하며, 어드레스신호(A0, A1) 및 반전된 어드레스신호(Ab0, Ab1)의 가능한 조합을 나머지 두입력으로 갖는 다수의 3입력 낸드게이트(ND1, ND2, ND3, ND4)와, 낸드게이트(ND1, ND2, ND3, ND4) 출력신호를 반전시키기 위한 다수의 인버터(I3, I4, I5, I6)를 구비한다.

<43> 테스트모드신호(tm_en)가 활성화 되면, 디코딩부(42)는 입력된 어드레스신호(A0, A1)를 디코딩하여 주기선택신호(1/2sel, 1/4sel, 1/8sel, 1/16sel) 중 하나를 활성화 시킨다.

<44> 도 5b는 테스트모드 클럭선택부(43)의 회로도이다.

<45> 도 5b를 참조하면, 테스트모드 클럭선택부(43)는 주기선택신호(1/2sel, 1/4sel, 1/8sel, 1/16sel) 각각에 제어받아 그에 해당되는 분주클럭(A, B, C, D)을 출력하기 위한 다수의 트랜스퍼 게이트(430, 431, 432, 433)를 구비한다.

<46> 한편, 트랜스퍼 게이트(430)는 반전된 분주클럭을 입력받는데, 이는 분주클럭(A)의 위상이 다른 분주클럭(B, C, D)과 다르기 때문이다.

<47> 주기선택신호(1/2sel, 1/4sel, 1/8sel, 1/16sel)가 활성화 되면, 테스트모드 클럭선택부(43)는 이에 해당되는 분주클럭(A, B, C, D)을 선택적으로 출력한다.

<48> 도 6은 노말모드 클럭제공부(44)의 회로도이다.

<49> 노말모드 클럭제공부(44)는 기본적으로 1/8분주클럭(C)을 출력하되, 옵션에 의해 고정된 분주클럭을 출력하기 위한 노말모드 클럭 옵션처리부(440)와, 테스트모드신호(tm_en)에 응답하

여 노말모드 클럭 옵션처리부(440)에 의해 제공되는 분주클럭을 출력하기 위한 스위칭부(441)를 구비한다.

<50> 한편, 노말모드 클럭 옵션처리부(440)는 퓨즈옵션, 안티퓨즈 옵션, 메탈옵션 중 어느 하나의 옵션을 구비한다.

<51> 또한, 스위칭부(441)는 테스트모드신호(tm_en)로 제어받는 트랜스퍼 게이트로 구현된다.

<52> 도 7은 도 4의 회로의 동작 과정도이다.

<53> 먼저 분주부(40)는 tCK의 주기를 갖는 자연고정루프의 소오스클럭(clk_in)을 입력으로 하여 다양한 주기의 분주클럭(A, B, C, D)을 생성한다.

<54> 테스트모드 신호(tm_en)의 비활성화 시 노말모드 클럭제공부(44)는 기본적으로 설정된 1/8분주클럭(C)을 출력한다.

<55> 도 7의 'a' 부분은 테스트모드 신호(tm_en)가 활성화 되고 어드레스신호(A0,A1)가 입력되면, 디코딩부(42)에 의해 1/2주기선택신호(1/2sel)가 생성되어 테스트모드 클럭선택부(43)가 1/2분주클럭(A)을 출력하는 경우이다. 이에 의해 출력클럭(clk_out)은 1/8분주클럭(C)에서 1/2분주클럭(A)으로 바뀐다.

<56> 이하 동일한 과정을 갖되, 입력된 어드레스신호(A0,A1)에 따라 활성화 되는 주기선택신호 및 출력되는 분주클럭이 달라진다. 따라서, 구체적 설명은 생략한다.

<57> 도 7의 'b' 부분은 1/4주기선택신호(1/4sel)가 활성화 되고, 이에 의해 출력클럭(clk_out)이 1/8분주클럭(C)에서 1/4분주클럭(B)으로 바뀌는 경우이며, 'c' 부분은 1/8주기선택신호(1/8sel)가 활성화되므로 출력클럭(clk_out)이 1/8분주클럭(C)으로 출력되는 경우이다. 또

한, 'd'부분은 1/16주기선택신호(1/16sel)가 활성화 되어 출력클럭(clk_out)이 1/8분주클럭(C)에서 1/16분주클럭(D)으로 바뀌는 경우이다.

<58> 이와 같은 테스트 과정을 통해 공정, 온도 및 전압등의 변동에서 다양한 주기에 따른 tAC를 측정하여 최소의 tAC를 갖는 최적의 분주클럭을 찾는다. 이를 퓨즈 옵션, 안티퓨즈 옵션, 또는 메탈 옵션 등을 통해 노말모드 클럭제공부(44)에 적용함으로써, 노말모드 시 최적의 분주클럭을 제공한다.

<59> 결과적으로, 전술한 본 발명은 테스트모드 클럭제공부(41) 및 노말모드 클럭제공부(44)를 추가함으로써, 테스트모드에서는 다양한 주기에 따른 공정, 온도, 및 전압등의 변동에 따른 tAC를 측정할 수 있으며, 노말모드에서는 테스트결과가 적용된 최소의 tAC를 갖는 분주클럭을 제공한다.

<60> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<61> 예컨대, 전술한 실시예에서는 레지스터제어 지연고정루프의 클럭분주기를 예시했으나, 이는 레지스터제어 지연고정루프에 한정되지 않고 본 발명은 적용된다.

【발명의 효과】

<62> 전술한 본 발명은 공정, 온도 및 전압 등의 변동에 따른 tAC의 변화율, 다양한 주기를 가지고 테스트 할 수 있으며, 테스트의 결과에 따라 최소의 tAC를 갖는 분주클럭을 제공한다.

【특허청구범위】**【청구항 1】**

지연고정루프의 소오스클럭을 입력 받아 각각 다른 주기를 갖는 다수의 분주클럭을 생성하기 위한 클럭분주 수단;

테스트모드신호 및 테스트모드 주기선택 기준신호에 응답하여 테스트모드에서 상기 다수의 분주클럭을 선택적으로 출력하기 위한 테스트모드 클럭제공수단; 및 상기 테스트모드신호에 응답하여 노말모드에서 상기 다수의 분주클럭 중 선택된 하나의 클럭을 출력하기 위한 노말모드 클럭제공수단을 구비하는 지연고정루프의 클럭분주기.

【청구항 2】

제1항에 있어서,

상기 테스트모드 클럭제공수단은,

상기 테스트모드신호에 응답하여 상기 테스트모드 주기선택 기준신호를 디코딩하여 테스트모드 주기선택신호를 출력하기 위한 디코딩 수단과,

상기 테스트모드 주기선택신호에 응답하여 상기 다수의 분주클럭 중 어느 하나의 클럭을 출력하기 위한 테스트모드 클럭선택 수단을 구비하는 것을 특징으로 하는 지연고정루프의 클럭분주기.

【청구항 3】

제1항에 있어서,

상기 노말모드 클럭제공수단은,

상기 다수의 분주클럭을 입력 받아 옵션에 의해 고정된 분주클럭을 출력하기 위한 노말모드 클럭 옵션처리부와,

상기 테스트모드신호에 응답하여 상기 노말모드 클럭 옵션처리부로부터 출력된 상기 고정된 분주클럭을 출력하기 위한 스위칭부를 구비하는 것을 특징으로 하는 지연고정루프의 클럭분주기.

【청구항 4】

제2항에 있어서,

상기 테스트모드 주기선택 기준신호는 상기 테스트모드에서 소정 개수의 어드레스핀을 통해 인가된 신호인 것을 특징으로 하는 지연고정루프의 클럭분주기.

【청구항 5】

제4항에 있어서,

상기 디코딩 수단은,

각각 상기 테스트모드신호를 일 입력으로 하며, 상기 어드레스핀을 통해 인가된 신호와 그의 반전신호의 서로 다른 조합을 타 입력으로 하는 다수의 낸드 게이트와,

상기 다수의 낸드 게이트 각각의 출력 신호를 반전시키기 위한 다수의 인버터를 구비하는 것을 특징으로 하는 지연고정루프의 클럭분주기.

【청구항 6】

제5항에 있어서,

상기 테스트모드 클럭선택수단은,

상기 다수의 인버터의 출력 각각에 제어바이 그에 대응하는 분주클럭을 출력하기 위한 다수의 트랜스퍼 게이트를 구비하는 것을 특징으로 하는 지연고정루프의 클럭분주기.

【청구항 7】

제3항에 있어서,

상기 노말모드 클럭 옵션처리부는 퓨즈 옵션, 안티퓨즈 옵션, 메탈 옵션 중 어느 하나의 옵션을 구비하는 것을 특징으로 하는 지연고정루프의 클럭분주기.

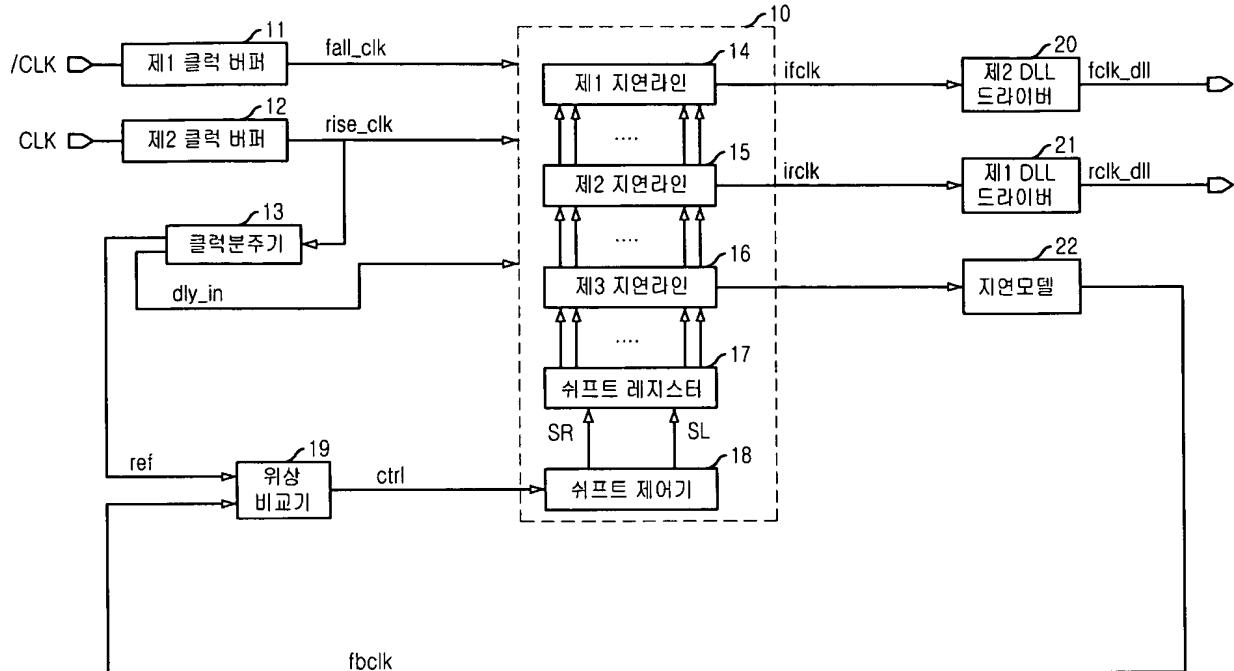
【청구항 8】

제3항에 있어서,

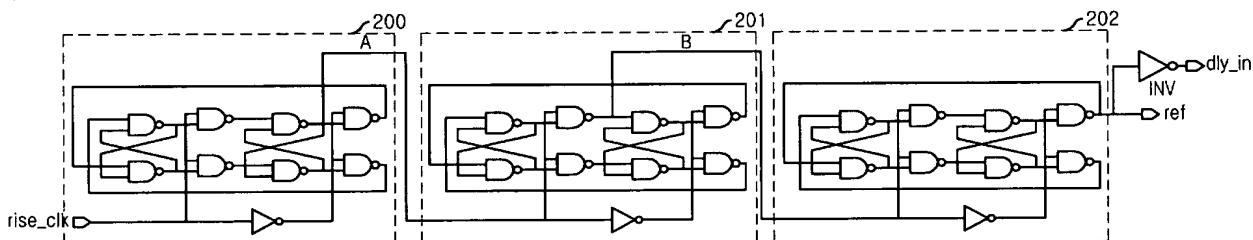
상기 스위칭부는 상기 테스트모드신호에 제어 받는 트랜스퍼 게이트를 구비하는 것을 특징으로 하는 지연고정루프의 클럭분주기.

【도면】

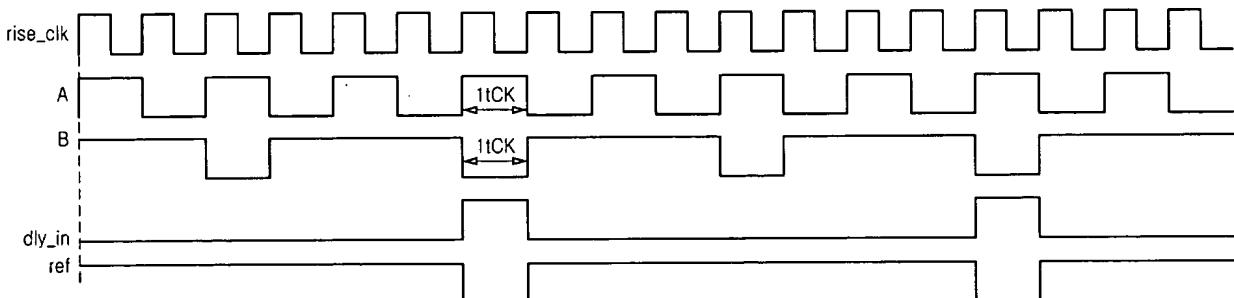
【도 1】



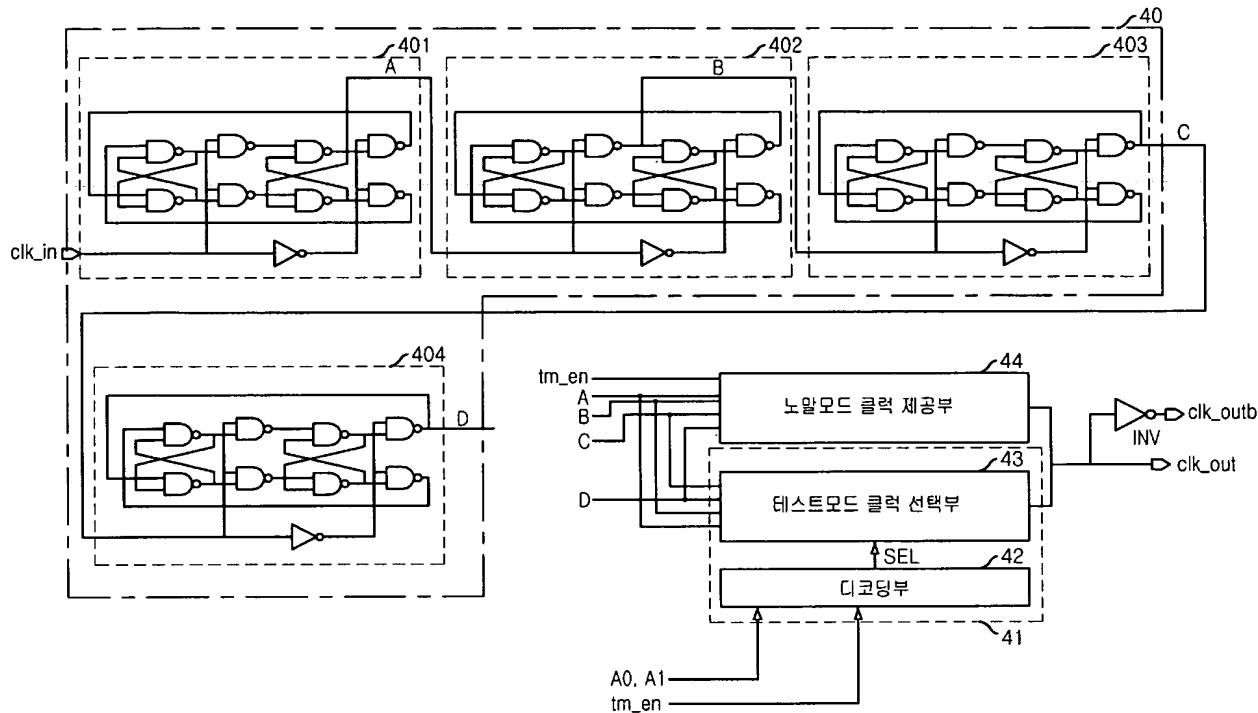
【도 2】



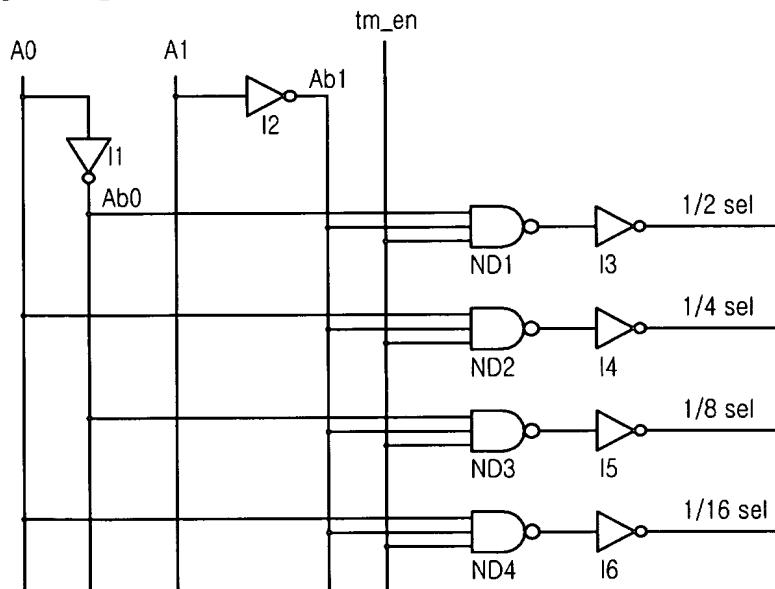
【도 3】



【도 4】



【도 5a】

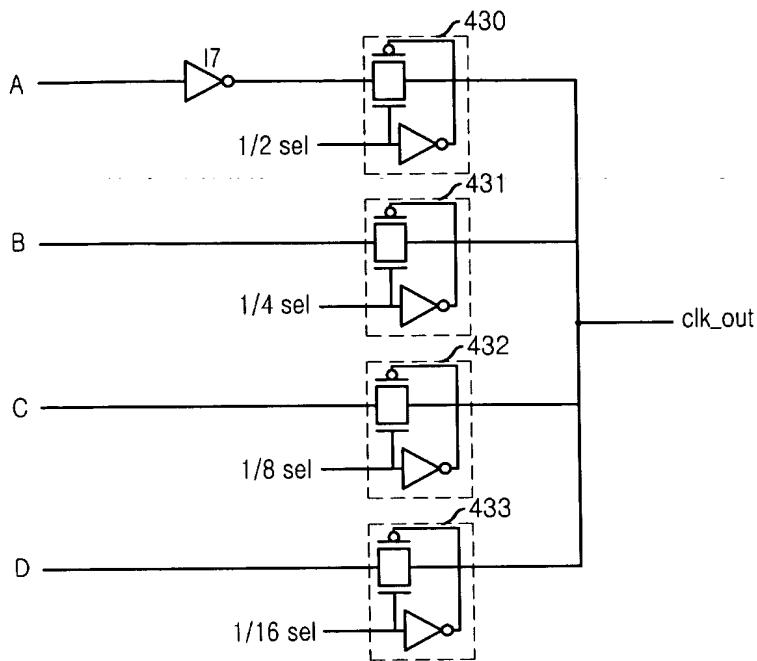




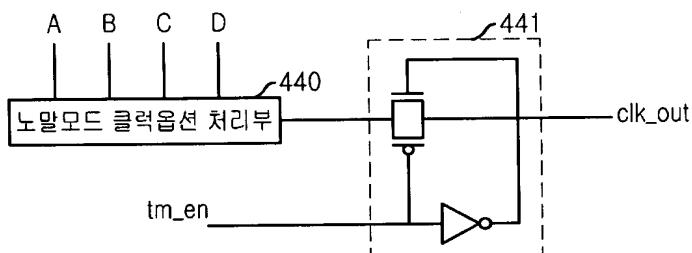
1020030051428

출력 일자: 2003/10/30

【도 5b】



【도 6】



【도 7】

